

Міністерство освіти і науки України
Національний аерокосмічний університет ім. М. Є. Жуковського
«Харківський авіаційний інститут»

Кафедра комп'ютерних систем, мереж і кібербезпеки (№ 503)

ЗАТВЕРДЖУЮ

Голова НМК



(підпис)

Д.М. Крицький

(ініціали та прізвище)

«31» серпня 2022 р.

**РОБОЧА ПРОГРАМА ОBOB'ЯЗКОВОЇ
НАВЧАЛЬНОЇ ДИСЦИПЛІНИ**

Комп'ютерна схемотехніка

(назва навчальної дисципліни)

Галузь знань: 12 "Інформаційні технології"
(шифр і найменування галузі знань)

Спеціальність: 123 "Комп'ютерна інженерія"
(код та найменування спеціальності)

Освітня програма: Комп'ютерні системи та мережі

Освітня програма: Системне програмування
(найменування освітньої програми)

Форма навчання: денна

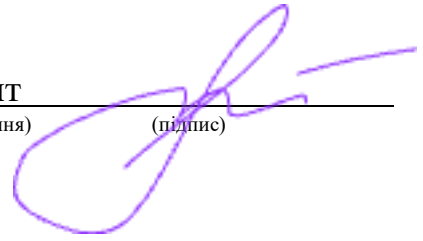
Рівень вищої освіти: перший (бакалаврський)

Харків 2022 рік

Розробник: Куланов В.О., доцент, к.т.н., доцент

(прізвище та ініціали, посада, науковий ступінь та вчене звання)

(підпис)



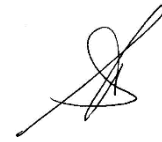
Робочу програму розглянуто на засіданні кафедри _____
_____ комп'ютерних систем, мереж і кібербезпеки

(назва кафедри)

Протокол № 1 від « 30 » 08 2022 р.

Завідувач кафедри _____ Д.Т.Н., професор

(науковий ступінь та вчене звання)



(підпис)

В. С. Харченко

(ініціали та прізвище)

1. Опис навчальної дисципліни

Найменування показників	Галузь знань, спеціальність, освітня програма, рівень вищої освіти	Характеристика навчальної дисципліни (денна форма навчання)
Кількість кредитів – 4	<p>Галузь знань <u>12 "Інформаційні технології"</u> (шифр та найменування)</p> <p>Спеціальність <u>123 "Комп'ютерна інженерія"</u> (код та найменування)</p> <p>Освітня програма <u>Комп'ютерні системи та мережі</u> <u>Системне програмування</u> (найменування)</p> <p>Рівень вищої освіти: перший (бакалаврський)</p>	Обов'язкова
Кількість модулів – 1		Навчальний рік
Кількість змістових модулів – 2		2022/2023
Індивідуальне завдання: <u>немає</u>		Семестр
Загальна кількість годин – 48/120		<u>3-й</u>
Кількість тижневих годин: аудиторних – 3 самостійної роботи студента – 3		Лекції ¹⁾
		<u>32</u> годин
		Практичні, семінарські ¹⁾
		<u>16</u> годин
		Лабораторні ¹⁾
	<u>0</u> годин	
	Самостійна робота	
	<u>72</u> годин	
	Вид контролю	
	іспит	

Співвідношення кількості годин аудиторних занять до самостійної роботи становить: 48/72;

¹⁾ Аудиторне навантаження може бути зменшене або збільшене на одну годину в залежності від розкладу занять.

2. Мета та завдання навчальної дисципліни

Мета: засвоєння навичок розробки елементів обчислювальних комп'ютерних систем; ознайомлення з існуючими схемотехнічними рішеннями та типовими вузлами комп'ютерних систем.

Завдання: оволодіння знаннями щодо синтезу основних вузлів комп'ютерних систем; отримання практичних навичок використання сучасних програмно-апаратних засобів розробки та тестування проектних рішень обчислювальних систем.

Компетентності, які набуваються:

- здатність до абстрактного мислення, аналізу і синтезу;
- здатність вчитися і оволодівати сучасними знаннями;
- здатність застосовувати знання у практичних ситуаціях;
- здатність спілкуватися державною мовою як усно, так і письмово;
- вміння виявляти, ставити та вирішувати проблеми;
- здатність використовувати засоби і системи автоматизації проектування до розроблення компонентів комп'ютерних систем та мереж, Інтернет додатків, кіберфізичних систем тощо;
- здатність проектувати системи та їхні компоненти з урахуванням усіх аспектів їх життєвого циклу та поставленої задачі, включаючи створення, налаштування, експлуатацію, технічне обслуговування та утилізацію;
- здатність аргументувати вибір методів розв'язування спеціалізованих задач, критично оцінювати отримані результати, обґрунтовувати та захищати прийняті рішення.

Очікувані результати навчання:

- знати і розуміти наукові положення, що лежать в основі функціонування комп'ютерних засобів, систем та мереж;
- вміти розв'язувати задачі аналізу та синтезу засобів, характерних для спеціальності;
- вміти системно мислити та застосовувати творчі здібності до формування нових ідей;
- якісно виконувати роботу та досягати поставленої мети з дотриманням вимог професійної етики.

Пререквізити - "Комп'ютерна електроніка".

Кореквізити - "Інтерфейси", "Мікропроцесорні системи", "Програмовні системи на кристалі".

3. Програма навчальної дисципліни

Модуль 1.

Змістовний модуль 1. Базові поняття та логічні елементи. Комбінаційна логіка.

ТЕМА 1. Предмет, ціль вивчення й завдання дисципліни. Структура, зміст дисципліни й методичні рекомендації з її вивчення. Місце дисципліни в навчальному процесі.

Предмет, ціль вивчення й завдання дисципліни. Структура, зміст дисципліни й методичні рекомендації з її вивчення. Місце дисципліни в навчальному процесі. Характеристика рекомендованих під час вивчення дисципліни джерел інформації. Поняття комп'ютерна схемотехніка. Історія розвитку.

ТЕМА 2. Поняття сигналу. Рівні сигналів. Поняття шини. Правила виконання схем по ЄСКД. Часові характеристики. Синхронізація.

Сигнали в цифрових пристроях. Поняття сигналу. Рівні сигналів. Відповідність логічних та електричних сигналів. Поняття шини. Правила виконання схем по ЄСКД. Умовно графічні позначення. Часові характеристики сучасних мікросхем. Сигнали тактування та стробу. Фронти сигналів.

ТЕМА 3. Логічний елемент. Часові діаграми. Інтегральні мікросхеми. Типи логіки – ТТЛ, ТТЛШ, КМОП, МОП, ДТЛ, ЕСЛ. Типи корпусів ІМС. Вихідні каскади.

Поняття логічний елемент. Базові логічні елементи – І, НІ, АБО, АБО-НІ, І-НІ, повторювачі, інвертори та інш. Умовно графічні позначення. Синтез комбінаційних схем. Таблиця станів. Часові діаграми. Логічна формула. Спрощена реалізація логічних елементів. Інтегральна мікросхема. Типи логіки – ТТЛ, ТТЛШ, КМОП, МОП, ДТЛ, ЕСЛ. Типи корпусів ІМС. Вихідні каскади.

ТЕМА 4. Комбінаційна та секвенційна логіка. Дешифратори / Шифратори. Класифікація дешифраторів/шифраторів. Двійковий дешифратор/шифратор.

Комбінаційна та секвенційна логіка. Дешифратори/Шифратори. Класифікація дешифраторів/шифраторів. Умовно графічні позначення. Двійковий дешифратор/шифратор. Таблиця станів. Часові діаграми. Логічні формули. Функціональні схеми. Двійково-десятковий дешифратор/шифратор. Шифратор пріоритетів. Дешифратор 7-сегментного індикатору. Область застосування.

ТЕМА 5. Мультиплексори. Демультимплексори. Умовно графічні позначення. Схема функціонування. Таблиця станів. Часові діаграми. Логічна формула. Область застосування.

Мультиплектори. Умовно графічні позначення. Схема функціонування. Таблиця станів. Часові діаграми. Логічна формула. Область застосування.

ТЕМА 6. Цифрові компаратори. Схеми контролю парності. Мажоритарні елементи.

Цифрові компаратори. Умовно графічне позначення. Схема функціонування. Таблиця станів. Часові діаграми. Логічна формула. Функціональна структура. Область застосування. Схеми контролю парності. Мажоритарні елементи. Область застосування. Принципи побудови.

ТЕМА 7. Суматори. Пристрій віднімання двійкових кодів чисел. Суматори двійково-десяткових кодів. Арифметико-логічний пристрій. Помножувачі двійкових кодів чисел.

Суматори двійкових кодів чисел. Пристрій віднімання двійкових кодів чисел. Суматори двійково-десяткових кодів. Арифметико-логічний пристрій. Помножувачі двійкових кодів чисел. Загальна структура та функціональне призначення. Принципи функціонування та побудови. Умовно графічні позначення. Часові діаграми. Таблиці функціонування.

Змістовний модуль 2. Секвенційна логіка та напівпровідникова пам'ять.

ТЕМА 8. Тригери. Класифікація тригерів. Типи тригерів. Синтез тригерів.

Сигнали синхронізації (стробування). Тригери. Принцип функціонування історія та загальні відомості. Класифікація тригерів. Статичні та динамічні тригери. Синхронні та асинхронні тригери. Одноступінчасті та двоступінчасті тригери. Типи тригерів: RS-тригер, D-тригер, D-засувка, JK-тригер, T-тригер. Умовно графічні позначення. Схема та граф функціонування. Таблиця станів. Часові діаграми та характеристика. Логічна формула. Область застосування. Синтез тригерів.

ТЕМА 9. Лічильники. Загальна класифікація та типи лічильників. Принципи функціонування. Умовно графічні позначення. Часові діаграми. Синтез лічильників.

Класифікація лічильників. Двійковий лічильник. Реверсивний лічильник. Лічильники з довільним та керованим модулем рахунку. Дільник частоти. Загальна структура та функціональне призначення. Принципи функціонування. Умовно графічні позначення. Часові діаграми. Таблиці функціонування. Синтез лічильників.

ТЕМА 10. Регістри. Класифікація та основні типи регістрів. Галузь застосування. Лічильник Джонсона. Кільцевий лічильник.

Класифікація регістрів. Паралельні регістри. Регістри зсуву (послідовні регістри). Реверсивні регістри. Послідовно-паралельні та паралельно-послідовні регістри. Регістри послідовного наближення. Лічильник Джонсона. Кільцевий

лічильник. Загальна структура та функціональне призначення. Принцип функціонування. Умовно графічне позначення. Часові діаграми. Прямі та інверсні входи керування. Область застосування.

ТЕМА 11. Пам'ять. Класифікація та структурна організація напівпровідникових запам'ятовуючих пристроїв. ПЗП, ОЗП, ППЗП. Динамічні та статичні напівпровідникові запам'ятовуючі пристрої.

Класифікація та структурна організація напівпровідникових запам'ятовуючих пристроїв. ПЗП, ОЗП, ППЗП. Динамічні та статичні напівпровідникові запам'ятовуючі пристрої. Оперативно запам'ятовувальна пам'ять типу DRAM, SRAM, SDRAM, DDRAM. Постійна запам'ятовувальна пам'ять типу ROM, PROM, EPROM та EEPROM, FLASH. Часові характеристики. Діаграми роботи. Регістровий файл. Структура регістрового файлу. Пам'ять типу FIFO (черга) та LIFO (стек). Загальна структура, функціональне призначення.

ТЕМА 12. Програмні логічні інтегральні схеми. Історія розвитку мікросхем програмованої логіки. Класифікація ПЛІС. Загальна структура мікросхем програмованої логіки. Структура мікросхем FPGA, CPLD.

Принцип побудови елементів програмованих логічних інтегральних схем. Знайомство з сімействами мікросхем програмованої логіки. Історія розвитку мікросхем програмованої логіки. Класифікація ПЛІС. Загальна структура мікросхем програмованої логіки. Структура мікросхем FPGA, CPLD. Основні фірми розробники мікросхем ПЛІС. Різниця між CPLD і FPGA структурами.

4. Структура навчальної дисципліни

Назви змістових модулів і тем	Кількість годин				
	Усього	У тому числі			
		л	п	лаб.	с. р.
1	2	3	4	5	6
Модуль 1					
Змістовий модуль 1. Базові поняття та логічні елементи. Комбінаційна логіка.					
Тема 1. Предмет, ціль вивчення й завдання дисципліни. Структура, зміст дисципліни й методичні рекомендації з її вивчення. Місце дисципліни в навчальному процесі.	1	1			
Тема 2. Поняття сигналу. Рівні сигналів. Поняття шини. Правила виконання схем по ЄСКД. Часові характеристики. Синхронізація.	5	2			3
Тема 3. Логічний елемент. Часові діаграми. Інтегральні мікросхеми. Типи логіки – ТТЛ, ТТЛШ, КМОП, МОП, ДТЛ, ЕСЛ. Типи корпусів ІМС. Вихідні каскади.	7	3			4
Тема 4. Комбінаційна та секвенційна логіка. Дешифратори / Шифратори. Класифікація дешифраторів/шифраторів. Двійковий дешифратор/шифратор.	8	2		2	4
Тема 5. Мультиплексори. Демультіплексори. Умовно графічні позначення. Схема функціонування. Таблиця станів. Часові діаграми. Логічна формула. Область застосування.	9	2		2	5
Тема 6. Цифрові компаратори. Схеми контролю парності. Мажоритарні елементи.	10	3		2	5
Тема 7. Суматори. Пристрій віднімання двійкових кодів чисел. Суматори двійково-десяткових кодів. Арифметико-логічний пристрій. Помножувачі двійкових кодів чисел.	10	3		2	5
Разом за змістовим модулем 1	50	16		8	26
Змістовий модуль 2. Секвенційна логіка та напівпровідникова пам'ять.					
Тема 8. Тригери. Класифікація тригерів. Типи тригерів. Синтез тригерів.	11	3		2	6
Тема 9. Лічильники. Загальна класифікація та типи лічильників. Принципи функціонування. Умовно графічні позначення. Часові діаграми. Синтез лічильників.	15	3		2	10
Тема 10. Регістри. Класифікація та основні типи регістрів. Галузь застосування. Лічильник Джонсона. Кільцевий лічильник.	15	3		2	10
Тема 11. Пам'ять. Класифікація та структурна організація напівпровідникових запам'ятовуючих пристроїв. ПЗП, ОЗП, ППЗП. Динамічні та статичні напівпровідникові запам'ятовуючі пристрої.	16	4		2	10
Тема 12. Програмовні логічні інтегральні схеми. Історія розвитку мікросхем	13	3			10

програмованої логіки. Класифікація ПЛІС. Загальна структура мікросхем програмованої логіки. Структура мікросхем FPGA, CPLD.					
Разом за змістовим модулем 2	70	16		8	46
Усього годин за дисципліною	120	32		16	72

5. Теми семінарських занять

№ з/п	Назва теми	Кількість годин			
1	<i>Не передбачено</i>				
	Разом				

6. Теми практичних занять

№ з/п	Назва теми	Кількість годин			
1	<i>Не передбачено</i>				
	Разом				

7. Теми лабораторних занять

№ з/п	Назва теми	Кількість годин
1	Знайомство з середовищем пакету Quartus II. Розробка простих проектних рішень.	1
2	Шифратори. Дешифратори. Знайомство з мегафункціями.	2
3	Мультиплексори. Демультимплексори.	2
4	Тригери. Скінченні автомати.	2
5	Лічильники.	2
6	Регістри.	2
7	Напівпровідникова пам'ять.	3
8	АЛУ.	2
	Разом	16

8. Самостійна робота

№ з/п	Назва теми	Кількість годин
1	Комбінаційна логіка. Синтез та імплементація. Сучасні серії інтегральних мікросхем. Основна характеристика та параметри . Особливості використання.	26
2	Секвенційна логіка. Синтез та імплементація. Сучасні серії інтегральних мікросхем. Основна характеристика та параметри . Особливості використання.	46
	Разом	72

9.

Індивідуальні завдання

Не передбачено

10. Методи навчання

Проведення аудиторних лекцій, практичних занять, консультацій, а також самостійна робота студентів за матеріалами, опублікованими кафедрою.

11. Методи контролю

Проведення поточного тестового контролю, підсумковий контроль у вигляді іспиту.

Необхідною умовою допуску до іспиту є виконання і захист усіх лабораторних робіт.

Під час складання семестрового іспиту студент має можливість отримати максимум 100 балів.

Білет для іспиту складається з двох теоретичних та одного практичного запитань, максимальна кількість за кожне із запитань складає 30 балів за відповідь за кожне теоретичне питання та 40 балів за практичне.

12. Критерії оцінювання та розподіл балів, які отримують студенти

Складові навчальної роботи	Бали за одне заняття (завдання)	Кількість занять (завдань)	Сумарна кількість балів
Змістовний модуль 1			
Робота на лекціях	0...1	5	0...5
Виконання і захист лабораторних робіт	3...5	4	12...20
Модульний контроль	10...15	1	10...15
Змістовний модуль 2			
Робота на лекціях	0...1	5	0...5
Виконання і захист лабораторних робіт	3...5	4	12...20
Модульний контроль	10...15	1	10...15
Виконання і захист РГР (РР, РК)	16...20	1	16...20
Усього за семестр			60...100

Контроль знань при проведенні занять оцінюється за такими шкалами.

Активність на лекції під час відповідей на питання:

- відповідь на питання та участь в обговореннях - 2 бали;
- присутність на лекції - 1 бал;
- відсутність на лекції - 0 балів,

Виконання і захист лабораторних робіт:

- при виконанні всіх вимог та повні відповіді на поставлені запитання - 4 бали;
- неповні відповіді на питання при захисті результатів роботи - 3 бали;
- неповні відповіді на питання за змістом і результатами роботи - 2 бали;
- результати роботи викладено не повному об'ємі та надано неповні відповіді на питання по роботі - 1 бал;
- якщо робота не виконана і не захищена - 0 балів.

На модульний контроль (всього 15 балів) виносяться всі пройдені за контрольований період теми, які включаються в варіанти завдань, що містять по 3 питання (по всім темам та видам занять). Максимальна кількість балів за кожне питання - 5.

Семестровий контроль (іспит) проводиться у разі відмови студента від балів поточного тестування й за наявності допуску до іспиту. Під час складання семестрового іспиту студент має можливість отримати максимум 100 балів.

Критерії оцінювання роботи студента протягом семестру

Задовільно (60-74). Показати мінімум знань та умінь. Виконати та захистити 75% лабораторних робіт та пройти 100% тестових завдань. Вміти аналізувати вимоги щодо проектування елементів/вузлів комп'ютерних обчислювальних систем. Вміти чітко визначати тип логіки що застосовується для розв'язання певного кола задач. Володіти знаннями в галузі існуючих методів, програмно-технічних засобів які використовуються в процесі проектування обчислювальних вузлів комп'ютерних систем. Вміти описувати прості обчислювальні вузли комп'ютерних систем з використанням мови опису апаратури VHDL.

Добре (75-89). Володіти необхідним мінімумом знань в галузі проектування комп'ютерних систем з використанням елементної бази ПЛІС. Об'єм знань має бути достатніми для самостійного розв'язання задач середньої складності. Виконати та захистити 85% лабораторних робіт та пройти 100% тестових завдань. Вільно володіти програмно-технічними та інструментальними засобами розроблення обчислювальних вузлів комп'ютерних систем, їх тестування та імплементація з використанням елементної бази ПЛІС. Розв'язувати завдання на високому рівні з використанням сучасних підходів до проектування та загальних рекомендацій.

Відмінно (90-100). Здати всі контрольні точки з оцінкою «відмінно». Досконало володіти темами та вміти застосовувати на практиці отриманні знання. Допомогати одногрупникам в процесі оволодіння знаннями в рамках дисципліни.

13. Методичне забезпечення

1. Куланов В.О., Конспект лекцій (в електронному вигляді).
2. Куланов В.О., Перепелицин А.Є. Лабораторні роботи (в електронному вигляді).
3. Дистанційний курс в системі дистанційного навчання Ментор, розташований за посиланням: <https://mentor.khai.edu/course/view.php?id=1604>.

14. Рекомендована література

Базова

1. Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики. – СПб.: БХВ-Петербург, 2002. 608 с.

2. Дж. Ф. Уэйкерли Проектирование цифровых устройств. В 2-х томах. М.: Постмаркет, 2002.
3. Ганнет Дж., Домич А., Катевенис М., и др. Электроника СБИС. Проектирование микроструктур. М.: Мир, 1989.
4. Yalamanchili S. Introductory VHDL: From Simulation to Synthesis. Prentice-Hall, 2001, 401 p.
5. Стешенко В.Б. ПЛИС фирмы ALTERA: элементная база, система проектирования и языки описания аппаратуры. - М.: Издательский дом "Додэка-XXI", 2002. 576 с.
6. Хоровиц, Хилл Искусство схемотехники, 2 том. – Мир. 2003, стр.: 704.
7. Угрюмов Е.П. Цифровая схемотехника. - СПб: BHV - Санкт-Петербург, 2000 г, 528 стр.

Допоміжна

1. Научно-технический журнал «Электроника: Наука, Технология, Бизнес».
2. Суворова Е.А., Шейнин Ю.Е. Проектирование цифровых систем на VHDL. – СПб.: БХВ-Петербург, 2003. 576 с.
3. Бибило П.Н. Синтез логических схем с использованием языка VHDL. – М.: Солон-Р, 2002. 384 с.
4. Стешенко В.Б. ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов. – М.: ДОДЭКА, 2000. 128 с.
5. Перельройзен Е.З. Проектируем на VHDL. - М.: Изд-во "СОЛОН-Пресс", 2004. 448 с.

15. Інформаційні ресурси

1. eLearning Portal – [Ел. ресурс]. – Режим доступу: <https://elearn.csn.khai.edu>